

## WRITE CONTROL SYSTEM FOR ID SYSTEM

**Publication number:** JP63249284

**Publication date:** 1988-10-17

**Inventor:** MATSUI KENJI; UCHIDA YASUO; OKAMOTO YOICHIRO

**Applicant:** OMRON TATEISI ELECTRONICS CO

**Classification:**

**- international:** G11C17/00; G06K17/00; G11C16/02; G11C17/00; G06K17/00; G11C16/02; (IPC1-7): G06K17/00; G11C17/00

**- European:**

**Application number:** JP19870084269 19870406

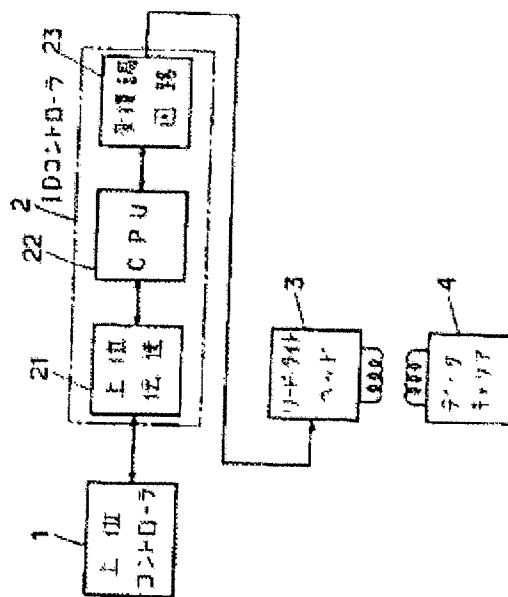
**Priority number(s):** JP19870084269 19870406

Report a data error here

### Abstract of JP63249284

**PURPOSE:** To prevent erroneous write by preliminarily detecting presence/absence of voltage abnormality in a data carrier to store this detection data and preventing execution of the write processing to output a write response indicating the voltage abnormality in the case of an abnormal voltage.

**CONSTITUTION:** When a data carrier 4 is approximated to a read/write head 3 and power is supplied, it is checked by a power discriminating means whether the supply voltage is normal or not, and the check result is stored as a status signal in a status storage means. When a write command is inputted to an ID controller 2 from, for example, a higher controller 1, the ID controller 2 immediately sends the write command to the memory of the data carrier 4 and checks the status signal sent from the data carrier 4 before the write processing. If the status signal indicates the voltage abnormality, the write response indicating that the supply voltage is abnormal is outputted to the higher controller 2 without performing the write processing. Thus, the write processing is performed only when the voltage is normal.



Data supplied from the esp@cenet database - Worldwide

## ⑫ 公開特許公報(A)

昭63-249284

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月17日

G 06 K 17/00

B-6711-5B

D-6711-5B

G 11 C 17/00

3 0 9

D-7341-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 IDシステムの書込み制御方式

⑯ 特 願 昭62-84269

⑰ 出 願 昭62(1987)4月6日

⑱ 発 明 者 松 井 健 次 京都府京都市右京区花園土堂町10番地 立石電機株式会社  
内⑲ 発 明 者 内 田 保 男 京都府京都市右京区花園土堂町10番地 立石電機株式会社  
内⑳ 発 明 者 岡 本 洋 一 郎 京都府京都市右京区花園土堂町10番地 立石電機株式会社  
内

㉑ 出 願 人 立石電機株式会社 京都府京都市右京区花園土堂町10番地

㉒ 代 理 人 弁理士 中村 茂信

## 明 細 書

## 1. 発明の名称

IDシステムの書込み制御方式

## 2. 特許請求の範囲

(1) コントローラよりデータキャリアのメモリにデータを書込み、あるいはデータキャリアのメモリからデータをコントローラ側に読出すIDシステムの書込み制御方式であって、

前記データキャリアに、電源電圧が正常か否かを判別する電源正否判別手段と、この電源電圧の正否をステータス信号として記憶するステータス記憶手段とを備えておき、前記コントローラ側にライトコマンドが発生すると、コントローラは、前記データキャリアから、ステータス信号を受け、このステータス信号によりデータキャリア側の電圧の正否をチェックし、この電圧が正常の場合は、前記データキャリアのメモリに書込み処理を行ない、電圧が正常でない場合は、書込み処理を実行せず、電圧異常である旨を示すライトレスポンスを出力するようにしたIDシステムの書込み制御

方式。

## 3. 発明の詳細な説明

## (イ) 産業上の利用分野

この発明は、データキャリアとしてEE・PROMを含む素子を用いるID(物品識別)システムの書込み制御方式に関する。

## (ロ) 従来の技術

一般に、IDシステムの基本構成は、第2図に示す通りであり、上位コントローラ1、IDコントローラ2、リード・ライトヘッド3及びデータキャリア4とから構成されている。データキャリア4は、EE・PROMをメモリとして、さらにその他制御用の論理回路を含む1チップの半導体素子であり、例えばコンベア上を移送されて来る物品や工見等に付せられ、リード・ライトヘッド3に接近すると、このリード・ライトヘッド3に電磁氣的に結合され、電源供給を受けると共に、データ授受も行なうようになっている。

リード・ライトヘッド3は、具体的には受/発信部であり、IDコントローラ2は、上位コント

ローラ1より、ライトコマンドを受けると、リード・ライトヘッド3を駆動し、データキャリア4のメモリの指定アドレスにデータを書込む。また、上位コントローラ1よりリードコマンドを受けると、IDコントローラ2は、データキャリア4のメモリの指定アドレスよりデータを読出す。

このIDシステムの使用されるデータキャリアの電源は、内蔵せず、リード・ライトヘッド3に近づくと、電磁氣的に供給される電圧を整流して、電源電圧としている。この電圧は、約4V程度のものである。一方、データキャリア2のEE・PROMの読出し電圧は3V、書込み電圧は、10数Vである。そのため、書込み電圧は上記電源電圧を昇圧して使用している。

#### (ハ) 発明が解決しようとする問題点

上記のように、データキャリア4のEE・PROMは、正常な読出し、あるいは、書込みを行うためには、所定以上の電圧が必要である。一方、従来のIDシステムでは、データキャリアより、信号が帰って来たら無条件に、IDコントローラ

は、リード・ライトを行っている。しかし書込み電圧は、10数Vの電圧を要するため、昇圧回路の不具合、またはヘッドへの接近が十分でない等の伝送条件の悪化により、必要十分な電圧が得られずこの条件下で書込みを強行すると、書込み不良が発生するという問題があった。

この発明は、上記に鑑み、書込み処理の際、書込みが可能であるか否かの電圧チェックをなし、電圧が正常な場合にのみ、書込み処理を行うIDシステムの書込み制御方式を提供することを目的としている。

#### (ニ) 問題点を解決するための手段及び作用

この発明のIDシステムの書込み制御方式は、コントローラより、データキャリアのメモリにデータを書込み場合の書込み制御方式であって、

前記データキャリアに、電源電圧が正常か否かを判別する電源正否判別手段と、この電源電圧の正否をステータス信号として記憶するステータス記憶手段とを備えておき、前記コントローラ側にライトコマンドが発生すると、コントローラは、

前記データキャリアからステータス信号を受け、このステータス信号によりデータキャリア側の電圧の正否をチェックし、この電圧が正常の場合は、前記データキャリアのメモリに書込み処理を行い、電圧が正常でない場合は、書込み処理を実行せず、電圧異常である旨を示すライトレスポンスを出力するようにしている。

このIDシステムの書込み制御方式では、データキャリアがリード・ライトヘッドに接近して、電源が供給されると電源正否判別手段で電源電圧の正否がチェックされ、その判別結果がステータス信号としてステータス記憶手段に記憶される。例えばデータキャリアの接近が十分でなく、電圧不足の場合には、異常を示す信号が、すでに正常電圧であれば、その旨を示す信号が記憶される。

今、IDコントローラに例えば上位コントローラより、ライトコマンドが入ると、IDコントローラは、データキャリアのメモリに対して、直ちにライトコマンドを送って、書込み処理に移らず、先ずデータキャリアから送られて来るステータス

信号をチェックし、ステータス信号が正常つまりデータキャリアの電源電圧が正常であれば、ここで書込み処理に移る。チェックの結果、ステータス信号に異常があれば書込み処理に移ることなく、その旨、つまり電源電圧異常である旨を示すライトレスポンスを例えば、上位コントローラに出力する。

#### (ホ) 実施例

以下、実施例により、この発明をさらに詳細に説明する。

この発明が実施される、IDシステムの基本構成は、第2図に示すものと同様であり、IDコントローラ2は、上位コントローラ1との通信を行うにめの上位伝送部21、上位コントローラ1からのコマンド（指令）により、データキャリア4に対し、データの書込み、読出しの動作を制御するCPU22及びデータキャリア4との通信を行うための変復調部23とから構成されている。

データキャリア4は、第3図に示すように、IDコントローラ2に接続されるリード・ライトヘ

ッド3に電磁氣的に結合される変復調回路41、変復調回路41よりキャリア信号を復号化する復号化回路42、シリアル入力回路43、入力されるコマンドをデコードするコマンドデコーダ44、データバッファ45、さらにデータを書込み、記憶し、あるいは読出しするEE・PROM46、EE・PROM46のデータを出力するためのシリアル出力回路47、符号化回路48、変復調回路41からの信号を整流・平滑する電源回路49、電源回路49の出力電圧 $V_1$ が回路動作電圧 $V_1$ ( $=3V$ )を越えたことを検出する検出回路I50、電源回路49の出力電圧 $V_1$ がEE・PROMの書込み電圧に対応する電圧 $V_2$ ( $=4V$ )を越えたことを検出する検出回路II51、電源電圧の正否を示すステータス信号を記憶するステータスレジスタ52、EE・PROM46に読出しドライブするリード/ドライブ回路53、電源回路49の出力電圧 $V_1$ を10数Vに昇圧する昇圧回路54及び、EE・PROM46に書込みドライブするライト/ドライブ回路55等から構成され

ている。

このデータキャリア4が、リード・ライトヘッド3に接近すると、リード・ライトヘッド3、変復調回路41を介して、データキャリア4側に供給される電圧は、徐々に大きくなり、電源電圧 $V_1$ は、第5図に示すように、上昇していく。そして、この電圧 $V_1$ が3Vに達すると、検出回路I50がこれを検出し、この検出回路I50は、コマンドデコーダ44に擬似コマンドを送り、コマンドデコーダ44は、これに応答して、EE・PROM46より、初期情報を読出す。この初期情報には、ステータスレジスタ52に記憶されるステータス信号も含まれる。

初期情報は、シリアル出力回路47、符号化回路48、変復調回路41を経てIDコントローラ2側に出力される。初期情報は、第4図に示すように、スタートビット、ステータス信号、プロトコル分類コード、メモリ範囲、種類を示すコードで構成されており、いずれも1バイトずつ割当てられている。ここでプロトコル分類は、そのデータキ

ャリアの採用する通信プロトコルの種別を示すものであり、メモリ範囲は、アドレス及びメモリ容量が示され、種類は、例えばリード・オンリ、リード/ライト、等が示される。

ステータス信号は、この発明にとって重要であり、8ビットのうち、ここでは、次に示す5種のもので構成されている。

- ①コマンド受信時の正常・異常の信号
- ②パリティエラー
- ③EE・PROM BUSY (書込み中の信号)
- ④メモリ容量外アドレッシング (存在しないアドレスの受信データが来たときに返送)
- ⑤EE・PROMへの書込み電圧が正常かどうかの判別信号。

検出回路I50が電源電圧 $V_1$ が3Vに達したことを検出したことに応答して、ステータスレジスタ52に、上記5種のステータス信号( $S_1$ 、 $S_2$ 、…、 $S_5$ )が記憶される。書込み電圧の正否を示すステータス信号 $S_5$ を例にとると、検出回路II52の出力が入力される。正常に電源電圧

$V_1$ が得られると、検出回路I50が3Vを検出した直後に、検出回路II51が4Vを検出することになり、ステータスレジスタ52の $S_5$ として“1”が記憶される。この場合電源電圧 $V_1$ が4Vを越えることにより、それが昇圧され、十分な書込み電圧として、ライト/ドライブ回路55に与えられる。

一方、電源電圧 $V_1$ 異常で、3Vに達した後、直ちに4Vに達しない場合には、ステータスレジスタ52の $S_5$ として、電源電圧異常を示す“0”が記憶される。

次に、第1図(a)、第1図(b)を参照して、上記実施例IDシステムにおいて、上位コントローラ1よりライトコマンドが入力される場合の動作について説明する。このライトコマンドは、データキャリア4に対し、このコマンドに付せられたアドレスにデータを書込みむことを指示する命令である。上位コントローラ1よりライトコマンドが発せられ(ステップST1)、IDコントローラ2では、このライトコマンドを受信し、ステップ

ST2の判定がYESとなり、ここでIDコントローラ2は、先ず、リード・ライトヘッド3のヘッド駆動信号をオフし、データキャリア4への電源を一旦オフし、同時に、データキャリア検出フラグをリセットし(ステップST4)、その後、再度、リード・ライトヘッド3の駆動信号をオンする(ステップST5)。このリード・ライトヘッド3の再駆動により、すでにリード・ライトヘッド3の領域内にデータキャリア4が存在し、あるいは、領域内に到来すると、データキャリア4より、第4図に示す初期情報が出力される。それゆえ、IDコントローラ2では、その初期情報のステータスビットを確認し、(ステップST6)、次に、ステータス信号を送込む(ステップST7)と共に、検出フラグを1にしておく(ステップST8)。続いて、ステータス信号中の電圧フラグが1か否かを判別する(ステップST9)。送られて来た電圧フラグが1であると、データキャリア4は、正常電源電圧であることを意味する。それゆえ、この場合は、正しい書込みが可能であり、

ることとなる。(ステップST16)。また、正常なライトレスポンスに回答した場合でも、その旨を示すライトレスポンスを上位コントローラ1側に返送する。

ステップST9で、電圧フラグをチェックした結果“0”の場合、データキャリア4の電源電圧が正常でないことを意味し、この場合は、ステップST9の「電圧フラグ=1か」の判定NOで、ステップST16に移り、何らデータキャリア4に対し、書込み処理を行うことなく、データキャリアの電源異常である旨を付したライトレスポンスを上位コントローラ1に送る。

#### (へ) 発明の効果

この発明によれば、データキャリア内で予じめ電圧異常の有無を検出して、その検出データを記憶しておき、IDコントローラから、データキャリアのメモリにデータを書込もうとする際に、データキャリアからの電圧異常の有無を示すステータス信号をチェックし、電圧異常がある場合に、書込み処理を実行し、電圧異常がない場合は、書

検出フラグが“1”であることを確認した(ステップST10)後、続いて初期情報中のプロトコル識別情報をCPU21のバッファにセーブし、(ステップST11)、その識別情報が何れかのプロトコル種別に属するかを選択し(ステップST12)、以後、選択されたプロトコルにより、データキャリア4との通信を行うことになる。

ステップST13では、データキャリア4の採用するプロトコルがコントローラ2の保有する種別テーブル内に、有か否かを判定され、プロトコル有の場合には、ステップST14で、IDコントローラ2は、ライトコマンドをデータキャリア4に送信し、データキャリア4は、このライトコマンドに対して所定の書込みを行い、ライトレスポンスをIDコントローラ2に返送する(ステップST15)。一方、プロトコルが存在しない場合、つまりデータキャリア4の識別情報がテーブルメモリ内に存在しないプロトコルの場合には、ステップST13の判定がNOとなり、その旨を示すライトレスポンスを上位コントローラ1に返送す

込み処理を行うことなく、その旨を示すライトレスポンスを出力するものであるから、電圧異常が存在する時に、これを無視して、書込み処理がなされることがなく、従って、誤った書込みが回避される。従ってデータの読／書きに信頼性のあるIDシステムを実現できる。

#### 4. 図面の簡単な説明

第1図(a)、第1図(b)は、この発明の一実施例IDシステムにおいて、ライトコマンドが入力された場合の動作を説明するためのフロー図、第2図は、この発明が実施されるIDシステムの基本構成を示すブロック図、第3図は、同IDシステムのデータキャリアの内部構成を示すブロック図、第4図は、同データキャリアより、電源オン時に出力される初期情報のフォーマットを示す図、第5図は、データキャリアの電源オンの動作を説明するための電源電圧V<sub>0</sub>の時間変化特性例を示す図である。

2: IDコントローラ、

4: データキャリア、 22: CPU、

46: EE・PROM

52: 検出回路Ⅰ, 51: 検出回路Ⅱ,

52: ステータスレジスタ。

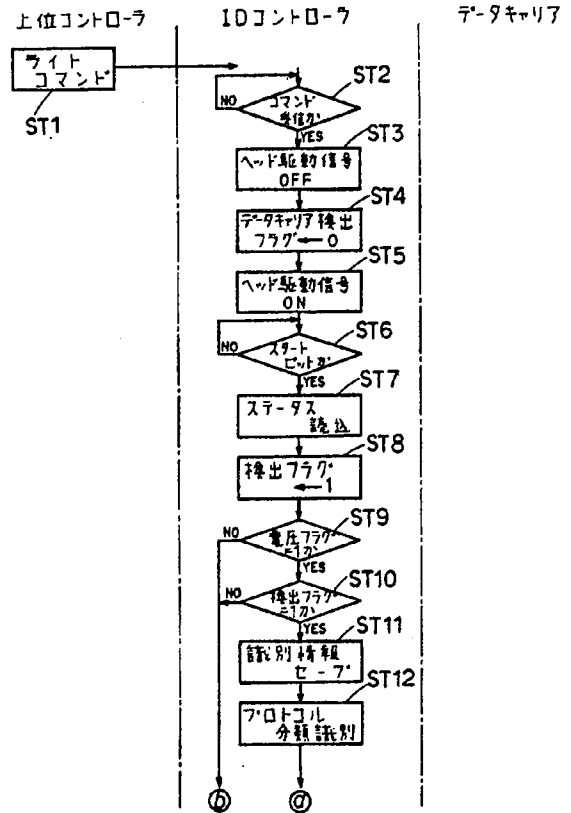
特許出願人

立石電機株式会社

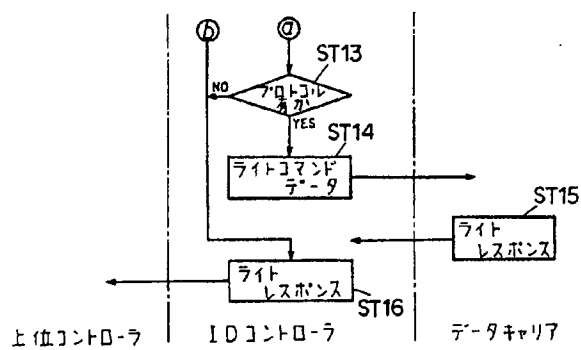
代理人

弁理士 中村 茂 信

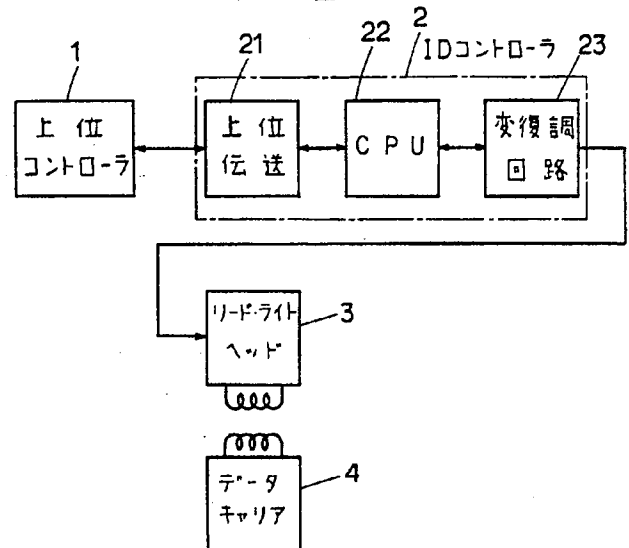
第 1 図 (a)



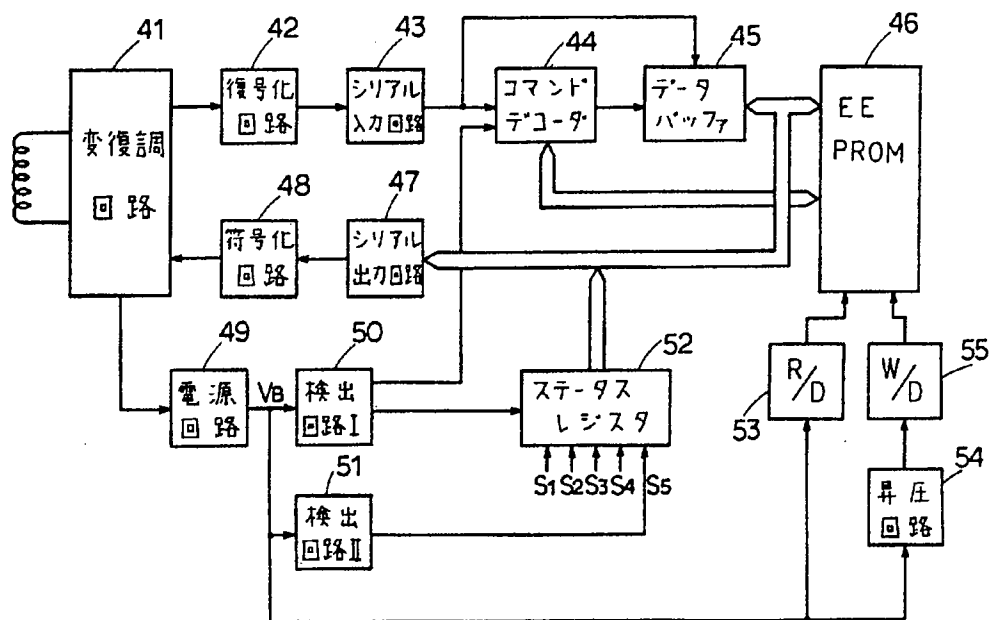
第 1 図 (b)



第 2 図



第 3 図



第 4 図

| スタート<br>ビット | ステータス | プロトコル<br>分類コード | メモリ<br>範囲 | 種類 |
|-------------|-------|----------------|-----------|----|
|-------------|-------|----------------|-----------|----|

第 5 図

